

第四章 集成电路介绍

第一节 MST9U19JS 集成电路介绍

一. 简介

MST9U19JS 是一个高性能, 完全集成的多功能芯片, 其 LCD 显示器、LCD 电视的分辨率达到全高清 (1920*1080)。它配置了一个集成的三重 ADC/PLL 内置处理器, 内置 DVI /HDCP /HDMI 接收器, 多标准 TV 视频和音频解码器, 视频隔行扫描, 缩放引擎, MStarACE-3 色彩引擎, 屏显控制器和内置输出面板接口。通过使用外部帧缓冲, 三维视频解码和处理器实现高品质电视应用。为了进一步降低系统开支, MST9U19JS 也集成了智能电源管理控制器, 它具有绿色模式要求和推广电磁频谱支持 EMI 管理。

二. 特点

1. 单显示液晶电视控制器具有电脑和多媒体显示功能
2. 输入支持高达 UXGA & 1080P
3. 面板支持全高清 (1920*1080)
4. 电视解码器的梳状滤波器
5. 多标准的电视伴音解调器和解码器的 10 位 ADC 的三倍电视和 RGB/YCbPr
6. 10 位视频数据处理
7. 集成 DVI/HDCP/HDMI 接口兼容接收器
8. 高品质缩放引擎和三维视频隔行扫描
9. 三维视频降噪
10. MStarACE-3 画质/色彩处理引擎
11. 嵌入式屏显控制引擎
12. 内置 MCU 支持 PWM & GPIO
13. 内置双连接 8-10 位 LVDS 发送器
14. 5V 输入
15. 低 EMI 和省电功能
16. 216 引脚 LQFP

NTSC/PAL/SECAM 制视频解码

1. 支持 NTSC M, NTSC-J, NTSC-4.43, PAL (B, D, G, H, M, N, I, Nc) 和 SECAM
2. 自动 TV 标准检测
3. NTSC/PAL 三维梳状滤波器
4. 5 种配置 CVBS & Y/C S 视频输入
5. 支持闭路字幕和 V 芯片
6. CVBS 视频输出

视频中频多标准模拟电视

1. 数字低中频架构
2. 步进增益为 26dB 美国 PGA 调谐范围和 1dB 调谐分辨率
3. 最大中频模拟增益为 37dB 除了数字增益外
4. 可编程的 TOP, 以适应不同的调谐器增益以优化噪声和线性性能

多标准电视音效解码处理

1. 支持 BTSC/A2/EIA-J 解调和解码

2. 调频立体声 & SAP 解调
3. 支持 MP3 解码
4. 可编程延迟音频/视频同步
5. 音频处理扬声器通道包括音量，平衡，静音，音调，和 P/GEQ
6. 可选的可用高级环绕 (Dolby¹, SRS², BBE³ 等等)

数字音频接口

1. IIS 数字音频输入/输出
2. S/PDIF 数字音频输出
3. HDMI 音频通道处理能力
4. 音频线路输入 L/R*2
5. 音频线路输出 L/R*3
6. 内置音频 DAC L/R*3
7. 内置音频 DAC L/R*1
8. SIF 音频输入

模拟 RGB 兼容输入端口

1. 两个模拟端口支持 UXGA
2. 支持 HDTV RGB/YPbPr/YCbCr
3. 支持复合同步和 SOG 分离
4. 自动色彩校正

DVI/HDCP/HDMI 兼容输入端口

1. 两个 DVI/HDMI 输入端口内置转换
2. 支持 TMDC 时钟达到 225MHz，1080P，60Hz 的确 2 位深色分辨率
3. 单链路片 DVI 接口 1.0 兼容接收器
4. 高带宽数字内容保护 (HDCP) 1.1 兼容接收器
5. 高清晰度多媒体接口 (HDMI) 1.3 兼容接收与 CEC 支持
6. 支持 HDTV 达到 1080P

自动配置和自动检测

1. 自动输入信号格式和模式检测
2. 自动调谐功能包括相位，布置，补偿，增益和 jitter 保护
3. 同步检测 H/V 同步

高性能扫描引擎

1. 非线性视频扫描支持各种模式包括全景

视频处理和转换

1. 三维示意适应视频交错
2. 边缘适应光滑的低角边沿运算法则
3. 自动的 3:2 拉低和 2:2 拉低保护和恢复
4. MStar 第三代先进的色彩引擎 (MStarACE-3) 自动图像增强:
 - (1) 明亮的和鲜艳色彩

- (2) 增强对比度和细节
- (3) 鲜艳的肤色
- (4) 锋利的边缘
- (5) 加强认识领域的深度
- (6) 精确和独立的色彩控制

sRGB 服从允许终端用户经历同样的色彩作为在 CRT 和其他的显示屏上的画面

1. 支持 xvYCC 色彩处理
2. 可编程 10 位 RGB 伽马 CLUT
3. 三维视频降噪
4. 去除伪影的 MPEG 包括去阻止和蚊蚊声降噪功能
5. 帧速率转换

屏幕上的 OSD 控制器

1. 16/256 调色板
2. 1024/1/2/4/8 位/像素字体
3. 支持纹理功能
4. 支持 4K 属性/码
5. 横向和纵向延伸的 OSD 菜单
6. 图形发生器的生产测试
7. 支持 OSD MUX 和 alpha 混合能力
8. 支持闪烁和滚动字幕的应用

硬件 JPEG

1. 支持顺序模式单一扫描
2. 支持彩色图片和灰度图片
3. 工作在扫描单位；硬件解码器将处理扫描头后的位流
4. 支持可编程区域利益 (ROI)
5. 支持格式：422/411/444/422T
6. 解码图像将被存储在 DRAM 与 UYVY 格式里
7. 支持扫描率：1/2, 1/4, 1/8, 同时应用于高和宽

LVDS 面板接口

1. 支持 10 位双列 LVDS，达到全高清 (1920*1080)
2. 支持 2 数据输出格式：Thine & TI 数据图
3. 兼容 TIA/EIA
4. 或者 6/8 位选择
5. 降低 LVDS 为低 EMI
6. 支持灵活范围的光谱频率 360HZ—11.8MHZ 和达到 25%调制

集成微控制

1. 嵌入 8032 微控制
2. 可配置 PWM 和 GPIO
3. 低速 ADC 输入为系统控制

4. SPI 总线为外部 Flash
5. 支持外部 MCU 选择控制
6. 通过 4 线双数据率管理 MCU 总线

外部连接/组合

1. 支持 USB2.0 主控制功能
2. 16 位数据总线为外部帧缓冲 (DDR DRAM)
3. 所有系统时钟同步于一个单一的外部时钟
4. 集成电源管理控制具有独立的发电来支持深睡和唤醒从各种输入中。

第二节 W9412G6IH 同步动态随机存储器

一. 一般描述

W9412G6IH 是一个 CMOS 双数据率同步动态随机存储器 (DDR SDRAM); 由 2M 字*4 行*16 位组成。W9412G6IH 传输一个数据带宽达到 500M 字每秒。

所有的输入参考正边缘 CLK (除了 DQ, DM, 和 CKE 之外)。当 CLK 和 /CLK 信号交错在转变期间时, 不同的时钟为定时参考点。写和读数据是同步在 DQS 边缘之间 (数据 Strobe)。

有可编程样式寄存器, 系统能够改变冲突长度, 潜伏周期, 相互许可或者相继冲突使最大化他的性能。W9412G6IH 是理想的主存储器在高性能的应用中。

二. 特点

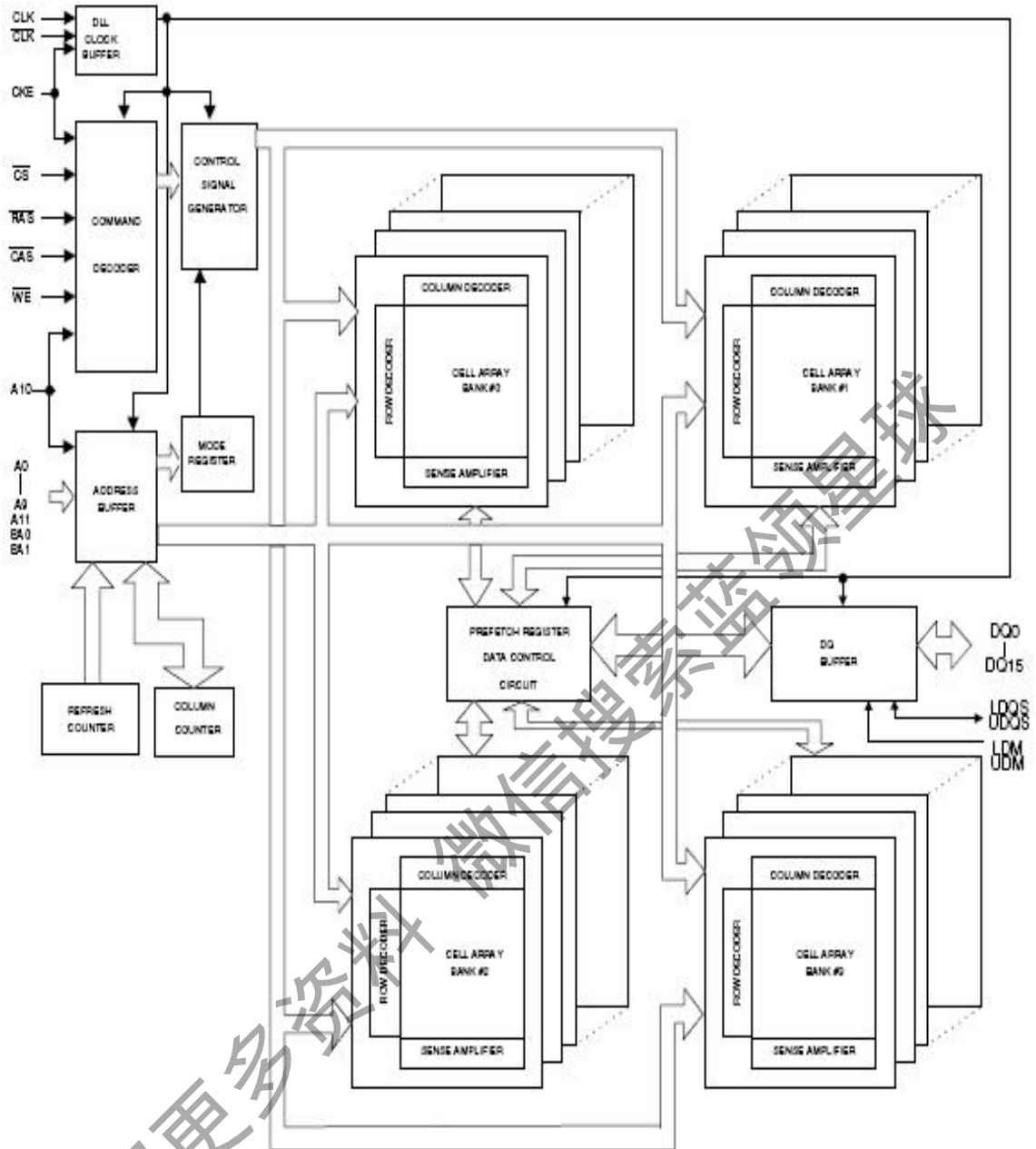
1. 2.5V+/-0.2V 电源电压为 DDR266/333/400/500
2. 达到 250MHz 时钟频率
3. 双数据率样式: 每个时钟周期有两个数据传输
4. 不同的时钟输入 (CLK 和 /CLK)
5. DQS 是边缘读数据, 中心缘为写数据
6. CAS 潜伏期: 2, 2.5, 3, 和 4
7. 冲突长度: 2, 4 和 8
8. 自动刷新和自我刷新
9. 预关机和主动关机
10. 写数据掩盖
11. 写潜伏期=1
12. 15.6uS 刷新闻隔 (4K/64mS 刷新)
13. 最大的冲突周期: 8
14. 接口: SSTL_2
15. TSOP II 66 引脚封装, 使用无铅材料, 遵从 RoHS

三. 引脚描述

引脚号	引脚名称	功能	描述
28-32 35-41	A0-A11	地址	多引脚行和列地址。行地址: A0-A11 列地址: A0-A8 (A10 作为自预存使用)
26, 27	BA0, BA1	行选择	行选择触发在行地址锁存时间或者行读写在列地址锁存时间

2, 4, 5, 7, 8 10, 11, 13, 54 56, 57, 59, 60 62, 63, 65	DQ0-DQ15	数据输入/输出	DQ0-DQ15 输入和输出数据同步 DQS 边缘
16, 15	LDQS UDQS	数据 Strobe	DQS 是双向信号, DQS 在写操作期间是输入信号, 而在读期间是写信号。边沿是读数据, 中心沿是写数据
24	/CS	片选	禁止或使能指令解码器。当指令解码器禁止时, 新的指令被忽略, 并且先前的操作继续
23, 22, 21	/RAS /CAS, /WE	指令输入	指令输入 (除 /CS 以外) 定义为指令进入
20, 47	LDM, UDM	写掩盖	当 DM 高时, 是突写状态, 输入数据被掩盖。DM 同步 DQS 边缘
45, 46	CLK, /CLK	差分时钟输入	所以地址和控制输入信号被采样, 在正边沿 CLK 和负边沿 /CLK 交错时
44	CKE	时钟使能	CKE 控制时钟激活和未激活。当 CKE 是低信号时, 进入关闭模式或暂停模式或自刷新模式。
49	VREF	参考电压	VREF 是输入参考电压
1, 18, 33	VDD	电 压 (+2.5V)	内部 DDR SDRAM 逻辑电路电源
34, 48, 66	VSS	接地	内部 DDR SDRAM 逻辑电路接地
3, 9, 15 55, 61	VDDQ	电 压 (+2.5V) 为 I/O 缓冲	从 VDD 分离电源, 用作输出缓冲, 来改善噪音
6, 12, 52 58, 64	VSSQ	接地为 I/O 缓冲	从 VSS 分离地, 用作输出缓冲, 来改善噪音
14, 17, 19, 25 42, 43, 50, 53	NC	空脚	无连接。(NC 引脚应该连接到地或者浮动)

四. 方框图



NOTE: The cell array configuration is 4096 * 512 * 16

第三节 MSP430 低功率微控制器

一. 特点

1. 低压范围 1.8V 到 3.6V
2. 低功耗
 - 工作模式: 250uA , 1MHZ, 2.2V
 - 待机模式: 0.7uA
 - 关闭模式 (RAM 记忆): 0.1uA
3. 从待机模式快速唤醒少于 1uS
4. 16 位 RISC 建筑式样, 62.5ns 指令周期时间
5. 基础时钟模式配置:

内部频率达到 16MHz，具有 4 校准频率 $\pm 1\%$

32KHz 晶振

高频率晶振达到 16MHz

共振器

外部数字时钟源

6. 16 位定时-A，3 个比较电阻器
7. 片上比较器为模拟信号比较功能或者斜率 A/D 转换
8. Brownout 解码器
9. 一系列的板上可编程：无需外部可编程电压，可编程密码保护通过安全保险丝
10. 家族系列包括：

MSP430F2101: 1KB+256B Flash 存储器 128B RAM

MSP430F2111: 2KB+256B Flash 存储器 128B RAM

MSP430F2121: 4KB+256B Flash 存储器 256B RAM

MSP430F2131: 8KB+256B Flash 存储器 256B RAM

二. 一般描述

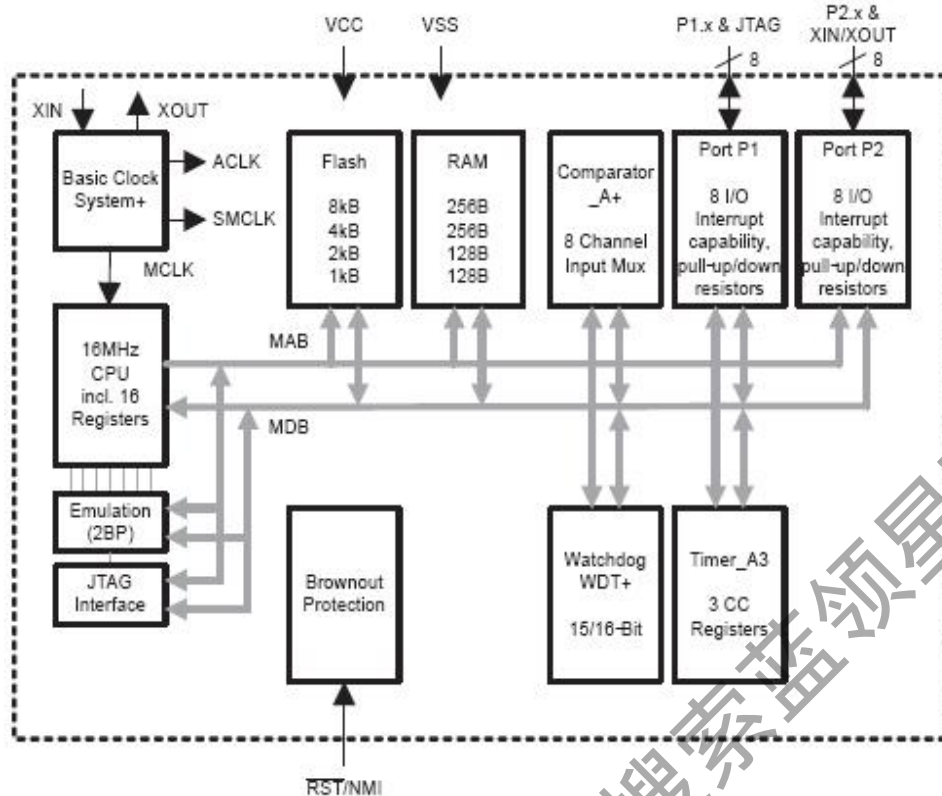
Texas 仪器 MSP430 族系列是低功率微控制器，它由一些装置特征组成的这个结构。此设备特征是一个强大的 16 位 RISC CPU，16 位寄存器和连续发生器，完成最大的编码效率。数字控制振荡器（DCO）允许唤醒从低功率样式到主动样式少于 1 μ S。

MSP430*21*1 系列是一个低功率混合信号微控制器，内置 16 位定时器，多用途模拟比较器和 16 个 I/O 引脚。

典型应用包括传感器系统占领模拟信号，转换他们成数字值，这时处理数据显示或者传输到主机系统。突出 RF 传感器前后是另一领域的应用。模拟比较器提供斜率 A/D 转换能力。

功能方框图

获取更多资料



引脚描述

终端				描述
名称	DW, PW, 或 DVG 号	RGE 号	I/O	
P1. 0/TACLK	13	13	I/O	通用数字 I/O 引脚 定时器-A, 时钟信号 TACLK 输入
P1. 1/TA0	14	14	I/O	通用数字 I/O 引脚 定时器-A, 占领: CCI0A 输入, 比较: Out0 输出/BSL 传送
P1. 2/TA1	15	15	I/O	通用数字 I/O 引脚 定时器-A, 占领: CCI1A 输入, 比较: Out1 输出
P1. 3/TA2	16	16	I/O	通用数字 I/O 引脚 定时器-A, 占领: CCI2A 输入, 比较: Out2 输出
P1. 4/SMCLK /TCK	17	17	I/O	通用数字 I/O 引脚/SMCLK 信号输出 测试时钟输入为设备可编程和测试
P1. 5/TA0 /TMS	18	18	I/O	通用数字 I/O 引脚/定时器-A, 比较: Out0 输出 测试样式选择输入为设备可编程和测试
P1. 6/TA1/ TDI/TCLK	19	20	I/O	通用数字 I/O 引脚/定时器-A, 比较: Out1 输出 测试数据输入或时钟输入为可编程和测试
P1. 7/TA2/ TDO/TDI	20	21	I/O	通用数字 I/O 引脚/定时器-A, 比较: Out2 输出 测试数据输出或数据输入为可编程和测试
P2. 0/ACLK	8	6	I/O	通用数字 I/O 引脚/ACLK 输出

/CA2				比较器_A+, CA2 输入
P2. 1/INCLK /CA3	9	7	I/O	通用数字 I/O 引脚/定时器-A, 时钟信号 INCLK 比较器_A+, CA3 输入
P2. 2/CAOUT/ TA0/CA4	10	8	I/O	通用数字 I/O 引脚 定时器-A, 占领: CCI0B 输入/BSL 接收 比较器_A+, 输出/CA4 输入
P2. 3/CA0 /TA1	11	10	I/O	通用数字 I/O 引脚/定时器-A, 比较: Out1 输出 比较器_A+, CA0 输入
P2. 4/CA1 /TA2	12	11	I/O	通用数字 I/O 引脚/定时器-A, 比较: Out2 输出 比较器_A+, CA1 输入
P2. 5/CA5	3	24	I/O	通用数字 I/O 引脚 比较器_A+, CA5 输入
XIN/P2. 6 /CA6	6	4	I/O	输入终端或晶体振荡器 通用数字 I/O 引脚 比较器_A+, CA6 输入
XOUT/P2. 7 /CA7	5	3	I/O	输出终端或晶体振荡器 通用数字 I/O 引脚 比较器_A+, CA7 输入
-RST/NMI	7	5	I	重置或未掩盖的中断输入
TEST	1	22	I	可选测试模式为 JTAG 引脚, 在端口 1。该设备 保险丝连接到 TEST 脚
VCC	2	23		电源电压
VSS	4	2		地参考
QFN Pad	NA	封装垫	NA	QFN 封装垫连接到 VSS

第四节 W25X32 存储器

一. 一般描述

W25*16 (16M-bit), W25*32 (32M-bit) 和 W25*64 (64M-bit) 系列的 Flash 存储器提供一个存储方案为系统具有限制空间、引脚和功率。它具有灵活的, 高性能的特点比普通系列的 Flash 设备。它们是理想的为编码下载应用和存储声音, 文本, 数据。此设备工作在单一的 2.7V 到 3.6V 电源电压, 电流在工作状态中耗低于 5mA, 关机状态则低于 1uA。所有这些设备被提供在节约空间封装。

W25*16/32/64 阵列由 8, 192/16, 384/32, 768 编程每 256 个字节页组成。多达 256 个字节能够一次被编程, 使用页编程指令。页擦除分为 16 组擦除区域, 256 组擦除块, 或者整个擦除芯片。W25*16/32/64 各自分为 512/1024/2048 擦除区域和 32/64/128 擦除块。小的 4KB 区域允许更灵活的应用, 需求数据和参数存储。

W25*16/32/64 支持标准系列外围接口 (SPI), 和一个高性能双输出 SPI 使用四个引脚: 一系列时钟, 片选, 一系列数据 I/O, 一系列数据输出。SPI 时钟频率多达 75MHz 允许相当的时钟率 150MHz 当使用快速读双输出指令。这些传输率和那些 8 和 16 位的 Flash 存储器平行。

一个 Hold 引脚, 写保护引脚和可编程写保护, 有最高和最低阵列控制特征, 提供更灵活的控制。此外, 此设备支持 JEDEC 标准制造商和认证。

二. 特点

1. 家族系列 Flash 存储器

W25*16: 16M 位/2M 字节 (2, 097, 152)

W25*32: 32M 位/4M 字节 (4, 194, 304)

W25*64: 64M 位/8M 字节 (8, 388, 608)

256 字节每可编程页

相同的 4K 字节区域/64K 字节块

2. SPI 单一或双输出

时钟, 片选, 数据 I/O, 数据输出

可选择的 Hold 功能为灵活的 SPI

3. 数据传输多达 150M 位每秒

时钟工作 150MHz

快速读双输出指令

自动增加读能力

4. 可变通的格式 4KB 区域

区域擦除 (4K 字节)

块擦除 (64K 字节)

页可编程多达 256 字节小于 2ms

多达 100, 000 擦除/写周期

保留 20 年

5. 低功耗, 宽温度范围

单一电压 2.7V 到 3.6V

5mA 工作电流, 1uA 关机电流

-40°C 到 +85°C 温度范围

6. 软硬件写保护

写保护所有或者部分存储器

使能或者禁止保护 WP 引脚

顶部或者底部阵列保护

SOIC 208-MIL, PDIP 300-MIL, 和 WSON 6X5-MM 引脚描述

引脚号	名称	I/O	功能
1	/CS	I	片选输入
2	DO	O	数据输出
3	/WP	I	写保护输入
4	GND		接地
5	DIO	I/O	数据输入/输出
6	CLK	I	时钟输入
7	/HOLD	I	Hold 输入
8	VCC		电源电压

SOIC 300-MIL 引脚描述

引脚号	名称	I/O	功能
1	/HOLD	I	Hold 输入
2	VCC		电源电压
3	N/C		空脚

4	N/C		空脚
5	N/C		空脚
6	N/C		空脚
7	/CS	I	片选输入
8	DO	O	数据输出
9	/WP	I	写保护输入
10	GND		接地
11	N/C		空脚
12	N/C		空脚
13	N/C		空脚
14	N/C		空脚
15	DIO	I/O	数据输入/输出
16	CLK	I	时钟输入

获取更多资料 微信搜索 蓝领星球